

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 16 OCT 2000	
WIPO	PCT

DE 00/03086

EU

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 199 42 676.7

Anmeldetag: 07. September 1999

Anmelder/Inhaber: Siemens Aktiengesellschaft,
München/DE

Bezeichnung: Verfahren zum Austausch von Daten zwischen an
einen gemeinsamen Bus angeschlossenen Modulen

IPC: G.06 F, 13/374

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Oktober 2000
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Jerofsky

THIS PAGE BLANK (USPTO)



Beschreibung

Verfahren zum Austausch von Daten zwischen an einen gemeinsamen Bus angeschlossenen Modulen

5

Die vorliegende Erfindung betrifft ein Verfahren zum Austausch von Daten zwischen an einen gemeinsamen Bus angeschlossenen Modulen sowie eine Vorrichtung zur Durchführung dieses Verfahrens.

10

Üblicherweise enthalten Computer eine Reihe von Hardware-Modulen, die an einen gemeinsamen Bus, beispielsweise an einen ISA-Bus oder an einen PCI-Bus angeschlossen sind. Dabei sind mehrere dieser Hardware-Module - in der Regel Busmaster genannt - berechtigt, Signale auf die Busleitungen zu geben, die dann von den anderen Bus-Teilnehmern, z.B. Slaves empfangen werden können. Dabei muß sichergestellt werden, daß nicht zwei Busmaster gleichzeitig Signale auf die Busleitungen geben. Aus diesem Grund weisen die Bussysteme üblicherweise ein zentrales Verwaltungs-Modul (Arbiter) auf, welches zu bestimmten Zeitpunkten den einzelnen Busmastern den Bus für die Datenübertragung zuteilt.

20

Möchte ein Busmaster für einen bestimmten Zeitraum den Bus benutzen, übermittelt er dem Arbiter eine entsprechende Busanforderungs-Information über eine Anforderungs- oder Requestleitung, welche den Busmaster mit dem zentralen Arbiter verbindet. Dabei muß zwischen jedem einzelnen Busmaster und dem Arbiter eine Requestleitung vorgesehen sein. Der Arbiter selbst weist beispielsweise einen Speicher auf, in dem die von den verschiedenen Busmastern ankommenden Busanforderungen abgelegt werden, und teilt dann nach einem vorgegebenen Entscheidungsmuster einem der Busmaster den Bus für einen oder mehrere Takte zu. Die Zuteilung erfolgt dabei durch die Übertragung eines speziellen Grantsignals über eine Zuteilungs- oder Grantleitung, wobei wiederum zwischen jedem

30

35

einzelnen Busmaster und dem Arbiter eine solche Grantleitung existieren muß.

Da von den einzelnen Busmastern jeweils nur dann Daten auf
5 den Bus abgegeben werden, wenn ihnen von dem zentralen
Arbiter dazu die Erlaubnis erteilt worden ist, ist sicherge-
stellt, daß niemals zwei Busmaster gleichzeitig den Bus be-
treiben, d.h. ein Signal auf die Busleitungen geben.

10 Handelt es sich um ein sehr großes und weit verzweigtes Bus-
system mit sehr vielen Busteilnehmern, so muß bei der eben
beschriebenen Lösung oftmals eine relativ lange Laufzeit der
Anforderungs- und Zuteilungsinformationen berücksichtigt wer-
den. Dies bedeutet jedoch, daß der Bus insgesamt nur mit
15 einer relativ niedrigen Taktrate und somit nur langsam arbei-
ten kann. Ein weiteres Problem besteht auch darin, daß die
Busmaster zwar jederzeit ihre Busanforderungs-Informationen
an den Arbiter senden können, dann jedoch eine Zeitlang war-
ten müssen, bis sie tatsächlich den Bus benutzen dürfen. Da
20 sie selbst allerdings nicht den genauen Zeitpunkt der Buszu-
teilung kennen, bleibt die Zeit zwischen Absenden der Busan-
forderungs-Information und Empfang der Zuteilungsinformation
ungenützt. Dies hat zur Folge, daß die einzelnen Busteilneh-
mer ihre Rechenleistung nicht optimal ausnutzen können.

25 Es ist daher Aufgabe der vorliegenden Erfindung, ein Verfah-
ren und ein System zum Austausch von Daten zwischen an einem
gemeinsamen Bus angeschlossenen Modulen anzugeben, bei denen
die Busleitungen sowie die Rechenkapazitäten der einzelnen
30 Module möglichst effektiv genützt werden können.

Die Aufgabe wird durch ein Verfahren, welches die Merkmale
des Anspruchs 1 aufweist, bzw. durch ein System gemäß An-
spruch 7 gelöst. Erfindungsgemäß erfolgt nunmehr die Verwal-
35 tung des Bussystems nicht mehr durch ein einziges zentrales
Verwaltungsmodul, sondern durch alle in dem System zusammen-
geschlossenen Module, wobei jedes Modul unabhängig von den

anderen Busteilnehmern entscheidet, ob es während eines bestimmten Bus-Taktes Daten auf die Busleitungen gibt oder nicht. Somit weist jedes Modul seinen persönlichen Arbiter auf. Um auch bei diesem Verfahren sicherzustellen, daß während eines bestimmten Taktes der Bus nicht von zwei Teilnehmern gleichzeitig betrieben wird, gibt ein Modul, welches den Bus betreiben möchte, zunächst eine Busanforderungs-Information ab, welche von allen anderen Modulen empfangen wird. Der Zeitpunkt der Anforderung - also der Takt - sowie die Herkunft der Busanforderungs-Information

10 - beispielsweise eine Nummer oder Adresse des Moduls - werden in einem in allen Modulen vorhandenen Anforderungsspeicher (auch in dem Anforderungsspeicher desjenigen Moduls, welches die Busanforderungs-Information selbst abgegeben hat) gespeichert, so daß in sämtlichen Modulen die gleichen Busanforderungs-Informationen vorliegen. Aufgrund dieser Busanforderungs-Informationen wird dann jeweils einzeln von den Modulen entschieden, ob sie in einem bestimmten Takt den Bus benutzen, wobei die Entscheidung nach einem vorgegebenen und für

15 alle Module identischen Entscheidungsmuster erfolgt.

20

Da jeder Busteilnehmer unmittelbar selbst entscheidet, ob er den Bus benutzt oder nicht, entfällt bei diesem Verfahren die Laufzeit des Zuteilungs- bzw. Grantsignals, wodurch der Bus insgesamt schneller arbeiten kann. Da nun in allen Busteilnehmern identische Busarbiter vorliegen, d.h. Arbiter, welche die Busanforderungs-Informationen in gleicher Weise speichern und nach dem identischen Entscheidungsmuster eine Entscheidung über die Busbelegung treffen, ist jedem Busteilnehmer

25 der laufende Belegungszustand sowie der Folgebelegungszustand des Busses bekannt. Ein einzelnes Modul, das beispielsweise weiß, daß es erst in einigen Takten den Bus betreiben darf, kann die dazwischen liegende Zeit für anderweitige Aufgaben nützen, so daß bei dem erfindungsgemäßen Verfahren eine effektivere Auslastung der einzelnen Busteilnehmer erzielt werden kann. Damit die verteilten Arbiter vom gleichen Grundzu-

30

35

stand ausgehend arbeiten können, werden sie zu Beginn mittels einem synchronen Resetsignals synchronisiert.

- Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche. Vorzugsweise erfolgt die Entscheidung über eine Belegung des Busses gemäß dem Entscheidungsmuster derart, daß der Bus von den Modulen in der zeitlichen Reihenfolge betrieben wird, in der die Busanforderungs-Informationen abgegeben wurden. Dabei ist der in sämtlichen Busteilnehmern vorhandene Anforderungsspeicher vorzugsweise als FIFO (First in, First out) ausgebildet. Üblicherweise ist jedoch bei Bussystemen die kleinste Zeiteinheit, die noch unterschieden werden kann ein einzelner Takt. Es ist daher nicht auszuschließen, daß mehrere Module gleichzeitig in einem Takt eine Busanforderungs-Information abgeben. Es kann dann vorgesehen sein, daß die Reihenfolge der Busbelegung durch mehrere in einem einzigen Takt abgegebene Busanforderungs-Informationen nach einer speziellen vorgegebenen Reihenfolge erfolgt.
- Die kleinste noch unterscheidbare Zeiteinheit in dem Bussystem ist wie zuvor erwähnt ein einzelner Takt. Es kann daher der Fall auftreten, daß in einem Takt mehrere Module (im Extremfall alle Module) eine Anforderung stellen, wobei allerdings je Takt jeweils nur ein Modul die eigentlichen Busleitungen, die zur Übertragung von Signalen verwendet werden, belegen kann. Falls also beispielsweise in einem System, in dem ein Bustransfer den Bus nur für einen Takt belegt, gleichzeitig alle n Busteilnehmer den Bus anfordern, dauert die gesamte Abarbeitung bzw. Belegung des Busses aufgrund dieser n Anforderungen n Takte, während die Anforderungen selbst nur in einem einzigen Takt abgegeben wurden. Dies bedeutet wiederum, daß während die n Anforderungen abgearbeitet werden, von den Busteilnehmern weiter neue Anforderungen gestellt werden können, so daß die Anforderungsspeicher mit der Zeit vollkommen belegt werden können. Um zu verhindern, daß Anforderungen gestellt werden, welche nicht mehr gespeichert und somit auch nicht mehr bearbeitet werden können, muß dafür

Sorge getragen werden, daß jedes Modul "weiß", wenn die Speicherressourcen für neue Anforderungen erschöpft sind. Da die dezentralen Arbitrer in jedem Modul identisch aufgebaut sind und somit die Auslastung der Speicherressourcen überall
5 gleich ist, kann jedes einzelne Modul diese Information von seinem persönlichen Arbitrer erhalten oder ableiten, so daß festgelegt werden kann, daß die Module solange keine weiteren Anforderungen mehr auf ihre Requestleitungen geben, bis wieder Speicherkapazitäten im eigenen Arbitrer frei sind.

10

Ferner ist es denkbar, daß einige der Busteilnehmer wichtigere Aufgaben für das gesamte System erfüllen, so daß deren Busanforderungen bevorzugt behandelt werden sollten. Um dies ebenfalls berücksichtigen zu können kann vorgesehen sein, daß
15 neben dem ursprünglichen Anforderungsspeicher jeder Busteilnehmer einen weiteren Anforderungsspeicher für Anforderungen einer höheren Prioritätsstufe aufweist, in dem die Anforderungen dieser speziellen Busteilnehmer getrennt abgelegt werden. Gemäß dem Entscheidungsmuster kann dann vorgesehen sein,
20 daß der Bus entsprechend einer vorgegebenen Sequenz für Anforderungen aus dem normalen Anforderungsspeicher bzw. für Anforderungen der höheren Prioritätsstufe verwendet wird. Das Auffüllen dieses zweiten Anforderungsspeichers sowie die zeitliche Reihenfolge der Busbelegung durch die priorisierten
25 Anforderungen erfolgt unabhängig von der Bearbeitung der regulären Busanforderungen. Sollen noch weitere unterschiedliche Prioritätsstufen berücksichtigt werden, so sind dementsprechend viele Anforderungsspeicher erforderlich und der Arbitrierungsalgorithmus, also die Reihenfolge in der der Bus
30 durch Anforderungen aus den verschiedenen Speichern belegt wird, ist entsprechend anzupassen.

35

Gemäß einem weiteren Aspekt der Erfindung wird ein Bussystem zum Austausch von Signalen zwischen mehreren Modulen angegeben, wobei von jedem Modul eine Anforderungsleitung abgeht, die zu sämtlichen anderen Modulen verzweigt, und wobei jedes Modul zumindest einen Anforderungsspeicher aufweist, in dem

der Zeitpunkt einer Busanforderungs-Information und deren Herkunft gespeichert werden, sowie eine Busbelegungsschaltung, die anhand der gespeicherten Busanforderungs-Informationen nach einem vorgegebenen und für alle Module identischen Entscheidungsmuster eine Belegung des Busses durch das Modul in einem bestimmten Takt ermöglicht oder nicht.

Unter dem Begriff Modul wird dabei jeder einzelne Bus-Teilnehmer bezeichnet, wobei es sich dabei beispielsweise um zusammengefaßte Baugruppen oder auch um einzelne IC-Chips handeln kann.

Im folgenden wird die Erfindung anhand der beiliegenden Zeichnung näher erläutert. Es zeigen:

Figur 1 eine Darstellung der erfindungsgemäßen Verknüpfung von vier Busteilnehmern; und

Figur 2 eine schematische Darstellung des Speicherns und Bearbeitens von Busanforderungs-Informationen.

In Figur 1 ist die Verbindung von vier Modulen 1-4 in einem erfindungsgemäßen Bussystem dargestellt. Nicht gezeigt werden dabei die für den eigentlichen Datentransfer verwendeten Busleitungen. Von jedem Modul 1-4 geht jeweils eine Anforderungsleitung (Requestleitung) R1-R4 ab, die zu allen anderen Modulen verzweigt, so daß eine Busanforderungs-Information allen Modulen mitgeteilt werden kann. Um ein zeitlich synchrones Verhalten aller Module 1-4 zu ermöglichen, werden diese durch eine gemeinsame Zeitgeberleitung C1 synchronisiert. Ferner kann den Modulen 1-4 zu Beginn über eine Resetleitung Re ein Rücksetzsignal übermittelt werden, daß alle Busteilnehmer, genaugenommen jeweils die Arbiters - also die Busbelegungsschaltungen - und den Inhalt der Anforderungsspeicher in einen gemeinsamen Ausgangszustand versetzt. Erfindungsgemäß stellt ein beliebiges Modul 1-4 eine Busanforderung für die Belegung des Busses für die Dauer eines

Transfers, indem es für einen Takt seine jeweilige Requestleitung R1-R4 aktiviert. Möchte das Modul den Bus für zwei Transfers anfordern, so wird die entsprechende Requestleitung R1-R4 für zwei Takte aktiviert.

5

Das Auffüllen des Anforderungsspeichers sowie die Bearbeitung der verschiedenen Anforderungen soll nun anhand Figur 2 erläutert werden. In Figur 2 ist das erste Modul 1 vergrößert dargestellt. Der für die Belegung der Busleitungen verantwortliche Arbiter A1 (die Busbelegungsschaltung) ist nun fest in das Modul 1 integriert. Ferner ist diesem Arbiter A1 zunächst ein erster Anforderungsspeicher 5, der vorzugsweise als FIFO ausgelegt ist, zugeordnet.

15 Im vorliegenden Beispiel sei zunächst angenommen, daß insgesamt vier Module als gleichberechtigte Busteilnehmer vorhanden sind. Das Modul 1 stellt eine Busbelegungsanforderung, indem es seine interne Requestleitung 7 aktiviert. Diese interne Requestleitung 7 führt zu einem direkt zu dem Anforderungsspeicher 5 und zum anderen zu der externen Requestleitung R1, die wiederum zu allen anderen Modulen - wie hier gezeigt zum zweiten Modul 2 - verzweigt.

Da die Laufzeiten der Busanforderungs-Informationen je nach Länge der Requestleitungen R1-R4 leicht variieren können, wird nur die Information, in welchem Takt eine Anforderung gestellt wurde, in dem Anforderungsspeicher 5 gespeichert, nicht aber der exakte Zeitpunkt. Innerhalb eines Taktes kann maximal von jedem Modul 1-4 eine Anforderung gestellt werden. Dies wird dadurch berücksichtigt, daß alle innerhalb eines Takts gestellten Anforderungen in einem Speicherblock, der in der Darstellung des Anforderungsspeichers 5 einer Zeile entspricht, abgelegt werden. Da bei vier Modulen maximal vier Anforderungen je Takt gestellt werden können, weist ein Block somit vier Zellen auf. Im vorliegenden Beispiel hat der Anforderungsspeicher 5 ferner eine Speichertiefe von vier.

Entsprechend der Darstellung haben zum Zeitpunkt a (genau genommen während eines Taktes a) sämtliche Module 1-4 Anforderungen gestellt (1a, 2a, 3a, 4a) die alle in den vier Zellen des ersten Speicherblocks abgelegt wurden. Es wird nun festgelegt, daß alle Anforderungen, die innerhalb eines gemeinsamen Speicherblocks abgelegt werden, in einer festen Reihenfolge bearbeitet werden. Beispielsweise wird also der Bus in den darauffolgenden vier Takten nacheinander von den Modulen 1, 2, 3 und schließlich 4 belegt.

Während der Bearbeitung der Anforderung 1a wurden jedoch von den Modulen 3 und 4 im darauffolgenden Takt b weitere Busbelegungsanforderungen (3b, 4b) gestellt, die in dem nächsten Speicherblock abgelegt wurden. Da in diesem Takt die beiden ersten Module 1 und 2 keine Anforderungen stellten, bleiben die entsprechenden Zellen dieses zweiten Blocks frei.

Im darauffolgenden Takt, in dem die Anforderung 2a bearbeitet wurde, stellten schließlich die Module 1 bis 3 die Anforderungen 1c, 2c und 3c, und im darauffolgenden Takt (Bearbeitung der Anforderung 3a) die Module 2 bis 4 die Anforderungen 2d, 3d und 4d. Da der Anforderungsspeicher 5 in der Darstellung lediglich eine Speichertiefe von vier Blöcken hat, ist nun jeder Speicherblock durch zumindest eine noch nicht bearbeitete Anforderung belegt, da zunächst noch die Anforderung 4a bedient werden muß, um den ersten Block vollständig zu leeren. Dabei ist die Belegung des Anforderungsspeichers 5 in allen Arbitern der vier Module 1 bis 4 identisch. Dieser Belegungszustand wird den Modulen von ihren jeweiligen Arbitern mitgeteilt, so daß zunächst keine weiteren Busanforderungen gestellt werden. Erst wenn auch die Anforderung 4a bearbeitet wurde, wodurch der unterste Speicherblock wieder frei wird, können neue Anforderungen gestellt werden. Es führen somit alle Anforderungen in der gleichen Reihenfolge zur Belegung des Busses wie diese zeitlich gestellt wurden. Es ist anzumerken, daß die Zeitpunkte a, b, c und d nicht notwendiger-

weise aufeinanderfolgende Takte sein müssen, da ein Speicherblock nur dann gefüllt wird, wenn in einem Takt mindestens eine Anforderung gestellt wurde.

5 Entscheidet der Arbiter A1, daß entsprechend den in dem Anforderungsspeicher 5 gespeicherten Anforderungen das Modul 1 den Bus belegen kann, teilt er es dem Modul 1 über eine interne Grantleitung G1 mit.

10 In einem komplexeren Bussystem erfüllen üblicherweise einige der Busteilnehmer wichtigere Aufgaben als andere. Um die Anforderungen dieser Module, bei denen es sich beispielsweise um eine Busbrücke handeln könnte, bevorzugt zu berücksichtigen, wird den Arbitern, wie in Figur 2 dargestellt, ein weiterer Anforderungsspeicher 6 zugeordnet, der lediglich priorisierte Anforderungen von den neu hinzugekommenen priorisierten Modulen 10 und 11 speichert. Dieser zusätzliche Anforderungsspeicher 6 arbeitet nach dem gleichen Prinzip wie der oben beschriebene ursprüngliche Anforderungsspeicher, d.h. das Auffüllen der Speicherblöcke erfolgt in gleicher Weise wie bei dem herkömmlichen Anforderungsspeicher 5. Allerdings kann nun festgelegt sein, daß die Bedienung der in diesem zusätzlichen Speicher 6 abgelegten Anforderungen durch die Arbiter A1 mit Vorrang erfolgt. In diesem Fall kann beispielsweise ein Arbitrierungsalgorithmus implementiert werden, der zunächst eine Anforderung der nicht priorisierten Module 1 bis 4 und anschließend zwei Anforderungen der priorisierten Module 10 und 11 bedient. Bei der in Figur 2 gezeigten Belegung der beiden Anforderungsspeicher 5 und 6 würde dies zur Gewährung der Anforderungen in folgender Reihenfolge führen: 1a, 10A, 10B, 2a, 11B, 10C, 3a, 10D, 4a, 3b, 4b, usw.

35 Auch die priorisierten Module 10 und 11 dürfen solange Anforderungen stellen, bis dieser zusätzliche Belegungsspeicher 6 für priorisierte Anforderungen voll ist, ungeachtet des Grades der Belegung des ursprünglichen Anforderungsspeichers

5. Die Anforderungszeitpunkte in Klein- und Großbuchstaben sind dabei nicht miteinander korreliert.

- 5 Sollen schließlich noch weitere Prioritätsstufen für die Busgewährung berücksichtigt werden, so sind den Arbitern entsprechend viele Anforderungsspeicher zuzuordnen und der oben beispielhaft beschriebene Arbitrierungsalgorithmus ist entsprechend auszulegen.
- 10 Da entsprechend dem fest vorgegebenen Entscheidungsmuster zur Belegung der Busleitungen jedes Modul selbst weiß, wann es zum nächsten Mal den Bus belegen kann, kann es sich auf die Busbelegung vorbereiten, d.h. möglicherweise in dem dazwischenliegenden Zeitraum andere Berechnungen durchführen. Ferner kann jedes Modul bei geeigneter Ausführung so viele Anforderungen stellen, daß seine Busbelegung optimiert wird. Da ferner auch die langen Laufzeiten der Grantsignale, die bei einem zentralen Arbitrer auftreten, entfallen, kann der Bus mit einer höheren Taktrate betrieben werden. Das erfindungsgemäße Verfahren bietet somit die Möglichkeit, die Bus- und Rechenkapazitäten des Systems wesentlich effektiver auszunützen als dies bisher der Fall war.
- 20

Patentansprüche

1. Verfahren zum Austausch von Daten zwischen an einen gemeinsamen Bus angeschlossenen Modulen (1-4) mit folgenden

5 Schritten:

alle Module (1-4) werden zeitlich synchronisiert;

ein Modul (1-4), welches den Bus betreiben möchte, gibt eine Busanforderungs-Information ab, welche von den anderen Modulen (1-4) empfangen wird;

10 in allen Modulen (1-4) werden in einem Anforderungsspeicher (5) der Takt der Abgabe sowie die Herkunft der Busanforderungs-Information gespeichert;

jedes Modul (1-4) entscheidet anhand der gespeicherten Busanforderungs-Informationen (1a, 2a, 10A, 10B) unabhängig
15 von den anderen Modulen (1-4), ob es in einem bestimmten Takt ein Signal auf den Bus gibt, wobei die Entscheidung nach einem vorgegebenen und für alle Module (1-4) identischen Entscheidungsmuster erfolgt.

20 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zu Beginn des Verfahrens alle Anforderungsspeicher (5) durch ein Rücksetzsignal in einen identischen Ausgangszustand versetzt werden.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß gemäß dem Entscheidungsmuster der Bus in der zeitlichen Reihenfolge durch die Module (1-4) betrieben wird, in der die
30 entsprechenden Busanforderungs-Informationen abgegeben wurden.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet,
35 daß für den Fall, daß in einem Takt von mehreren Modulen (1-4) gleichzeitig Busanforderungs-Informationen abgegeben werden, die entsprechenden Informationen in einem gemeinsamen

Speicherblock des Anforderungsspeichers (5) gespeichert werden, wobei gemäß dem Entscheidungsmuster die Belegung des Busses aufgrund von in einem Speicherblock gespeicherten Informationen (1a, 2a ,3a ,4a) nach einer vorgegebenen Reihenfolge erfolgt.

5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet,
daß von den Modulen (1-4) keine weiteren Busanforderungs-Informationen abgegeben werden, falls die Anzahl der zumindest teilweise belegten Speicherblöcke einen vorgegebenen Grenzwert erreicht hat.

6. Verfahren nach einem der vorherigen Ansprüche,
dadurch gekennzeichnet,
daß von einigen Modulen Busanforderungs-Informationen einer höheren Prioritätsstufe abgegeben werden können, wobei
die entsprechenden Informationen (10A, 10B) in einem weiteren Speicher (6) gespeichert werden,
der Bus nach einem vorgegebenen Belegungsalgorithmus für Busanforderungs-Informationen in dem ersten Belegungsspeicher (5) oder für Busanforderungs-Informationen der höheren Prioritätsstufe in dem weiteren Speicher (6) verwendet wird, und
die Belegung des Busses entsprechend den Busanforderungs-Informationen der höheren Prioritätsstufe unabhängig von der Belegung entsprechend den normalen Busanforderungs-Informationen erfolgt.

7. System zum Austausch von Daten zwischen an einen gemeinsamen Bus angeschlossenen Modulen (1-4), aufweisend:

Anforderungsleitungen (R1-R4), welche jeweils ein Modul (1-4) mit den anderen Modulen (1-4) verbinden, zum Übermitteln von Busanforderungs-Informationen;
einen Anforderungsspeicher (5) in jedem der Module (1-4)
zum Speichern des Taktes der Abgabe sowie der Herkunft der Busanforderungs-Information;

eine Busbelegungsschaltung (A1) in jedem der Module (1-4) zum Steuern der Busbelegung durch das entsprechende Modul (1-4) anhand der in dem Anforderungsspeicher (5) gespeicherten Busanforderungs-Informationen (1a, 2a, 10A, 10B) entsprechend einem für alle Module (1-4) vorgegebenen und identischen Entscheidungsmuster; und

eine mit allen Modulen (1-4) verbundene Zeitgeberleitung (C1) zum Synchronisieren der Module (1-4).

10 8. System nach Anspruch 7,
dadurch gekennzeichnet,
daß das System ferner eine Leitung (Re) zum Übermitteln eines Rücksetzsignals aufweist, durch welches alle Anforderungsspeicher (5) in einen einheitlichen Ausgangszustand versetzt
15 werden.

9. System nach Anspruch 7 oder 8,
dadurch gekennzeichnet,
daß jedes Modul (1-4) einen weiteren Speicher (6) für Busanforderungs-Informationen höherer Priorität, die von einigen
20 Modulen abgegeben werden, aufweist, wobei die Busbelegungsschaltungen (A1) die in diesem weiteren Speicher (6) gespeicherten Busanforderungs-Informationen höherer Priorität nach einem vorgegebenen Belegungsalgorithmus berücksichtigen.

Zusammenfassung

Verfahren zum Austausch von Daten zwischen an einen gemeinsamen Bus angeschlossenen Modulen

5

Bei einem Verfahren zum Austausch von Daten zwischen an einen gemeinsamen Bus angeschlossenen Modulen (1-4) werden alle Module (1-4) synchronisiert. Ein Modul (1-4), das den Bus betreiben möchte, gibt eine Busanforderungs-Information ab,

10 welche von den Modulen (1-4) empfangen und gespeichert wird.

Jedes Modul (1-4) entscheidet anhand der gespeicherten Busanforderungs-Informationen (1a, 2a, 10A, 10B) unabhängig von den anderen, ob es in einem bestimmten Takt ein Signal auf den Bus gibt, wobei die Entscheidung nach einem vorgegebenen

15 und für alle Module (1-4) identischen Entscheidungsmuster erfolgt.

[Fig. 2]

FIG 1

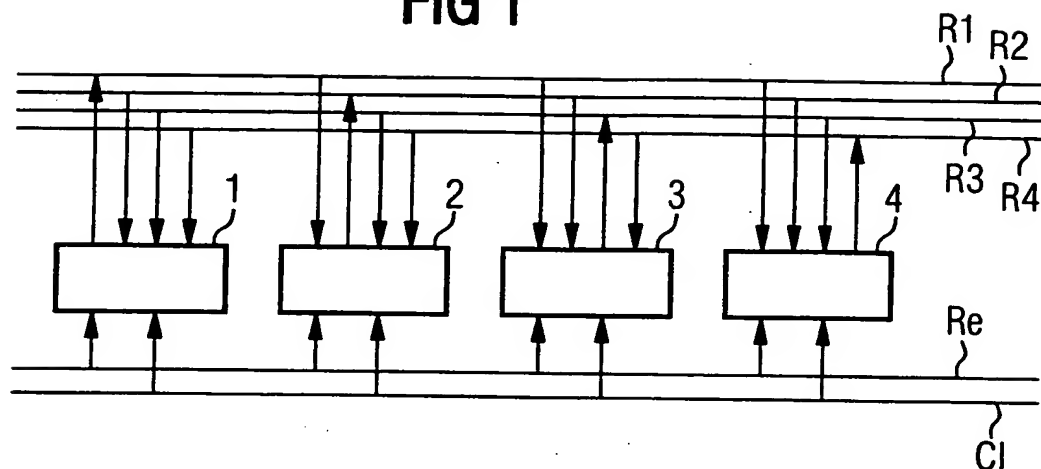
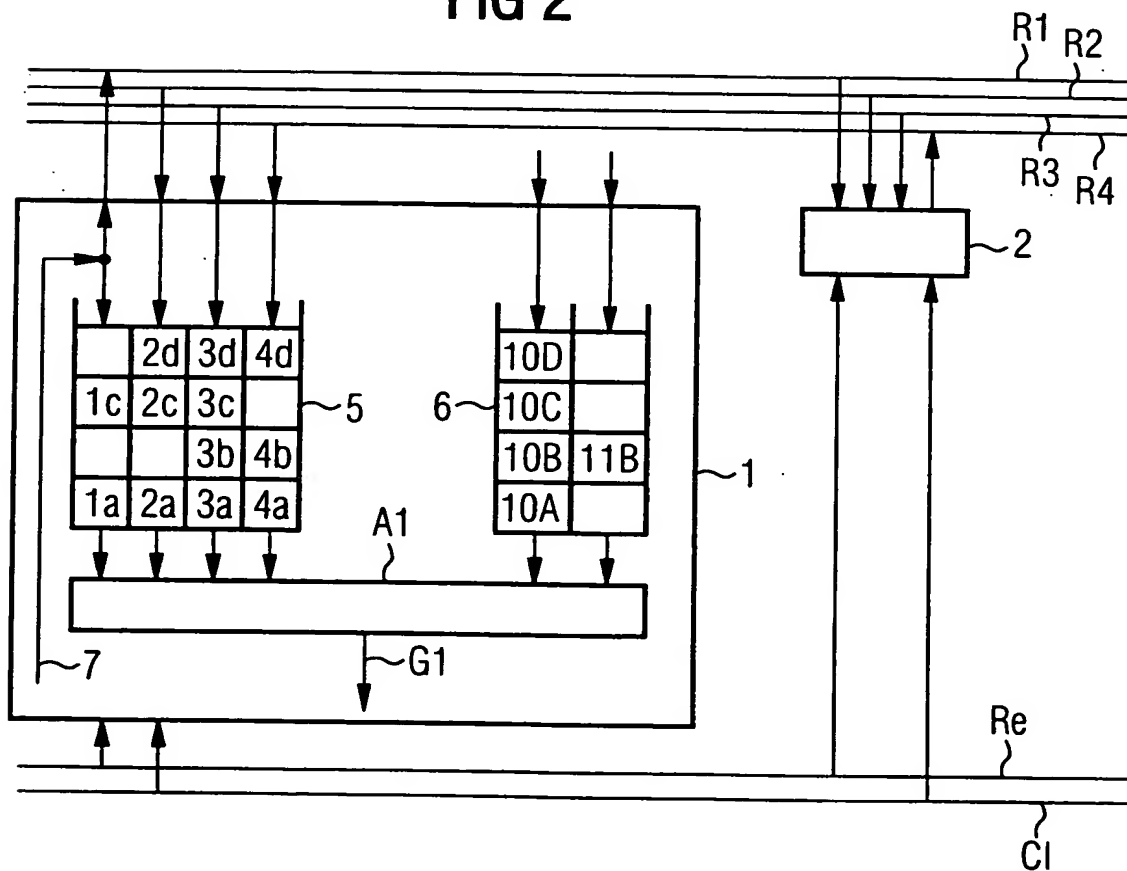


FIG 2



THIS PAGE BLANK (USPTO)